

⑪ 公開特許公報 (A) 平4-25166

⑫ Int. Cl. 5

H 01 L 25/065
 25/07
 25/10
 25/11
 25/18
 // H 05 K 1/18
 3/34

識別記号

府内整理番号

⑬ 公開 平成4年(1992)1月28日

S 6736-4E
 S 6736-4E
 7638-4M 7638-4M

H 01 L 25/08
 25/14

B
 Z

審査請求 未請求 請求項の数 2 (全7頁)

⑭ 発明の名称 半導体装置および半導体装置の製造方法

⑮ 特願 平2-130665

⑯ 出願 平2(1990)5月21日

⑰ 発明者 竹橋 信逸 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 ⑰ 発明者 畑田 賢造 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 ⑰ 出願人 松下電器産業株式会社 大阪府門真市大字門真1006番地
 ⑰ 代理人 弁理士 粟野 重孝 外1名

明細書

1、発明の名称

半導体装置および半導体装置の製造方法

2、特許請求の範囲

(1) 対向する2辺に接続電極を有する第1の半導体チップと対向する2辺に接続電極を有する第2の半導体チップとを互いに直交させて重ね、前記第1の半導体チップの接続電極と前記第2の半導体チップの接続電極にリード部材が接続され、前記第1および第2の半導体チップの接続電極から導出したリード部材が回路基板の配線電極へ接続されていることを特徴とする半導体装置。

(2) 対向する2辺に接続電極を有する第1の半導体チップの接続電極にリード部材を圧接、接続する工程と対向する2辺に接続電極を有する第2の半導体チップを前記第1の半導体チップとを直交させて重ね、位置固定する工程と前記第2の半導体チップの接続電極にリード部材を圧接、接続する工程と前記第1、第2の半導体チップの接続電極に接続されたリード部材を所望の長さに切断、

成形する工程と前記第1、第2の半導体チップの接続電極に接続されたリード部材を回路基板の配線電極に接続する工程から成ることを特徴とする半導体装置の製造方法。

3、発明の詳細な説明

産業上の利用分野

本発明は半導体装置およびその製造方法、特に回路基板への半導体チップの実装方法に関するものである。

従来の技術

第3図は半導体チップの実装方法の一つであるフィルムキャリア実装方式を示したものある。1は半導体チップ、2は接続電極、3はバンプ、4はフィルムキャリア、5はリード、8は回路基板、9は配線電極、10は保護樹脂である。半導体チップ1の接続電極上2にバンプ3を例えればメッキ法で形成し、ポリイミド・ガラスエポキシ等の有機材料から成るフィルムキャリア上4に極めて薄い銅箔を形成し、エッチングによってリード5を形成し(第3図-A)、このリード5の先端部と

半導体チップ 1 に設けられた接続電極 2 とバンプ 3 を加圧治具 6 を用いて圧接し、接続を行う(第3図-B)。リード 5 に半導体チップ 1 を接続したフィルムキャリア 4 は打ち抜き工程によってリード部 5 のみを所望の長さに切断し、同時に所定の形状に成形され(第3図-C)、半田層 7 が形成された回路基板 8 の配線電極 9 とリード 5 を位置合わせ後、加圧治具 6 による熱圧着又はリフローによって半田付けされ(第3図-D)、のちに保護樹脂 10 で封止を行なわれるものであった(第3図-E)。

発明が解決しようとする課題

しかしながら従来における半導体装置の製造方法においては近年における電子機器のポケッタブル化とより多機能・高性能化の要望が高まりつつあり、従って、対応すべく数多くの半導体チップを高密度に実装する必要性が今まで以上に不可欠となる。従って、下記における問題点が生じていた。

1) 従来、フィルムキャリアで実装される半導体

-3-

本発明は、上記の問題点を解決するため、対向する2辺に接続電極を有する構造の半導体チップ同士を互いに直交、重ねた状態で位置固定させ、両者の半導体チップの接続電極とフィルムキャリアのリードを接続し、半導体チップの接続電極から導出したリードを回路基板の配線電極に接続させ両者の半導体チップを回路基板上に搭載するものである。

作用

本発明は前記した構成により、対向する2辺に接続電極を有する構造の半導体チップ同士を互いに直交、重ねた状態で位置固定させ、両者の半導体チップの接続電極とフィルムキャリアのリードを接続し、リードの導出方向を4方向にすることで4辺に接続電極を有する構造の半導体チップとほぼ同じ占有面積でかつ、複数個の半導体チップを同時に実装出来又、種類が異なる半導体チップ同士を極めて簡単にモジュール化が可能となり小型・高機能な電子機器を容易に実現できる。

実施例

チップの回路基板への搭載は1次元的に行われるため回路基板の有効実装面積には限りがあり、多数の半導体チップの搭載には限界が生じる。

2) 回路基板への半導体チップ搭載数の増大により半導体チップ間および、外部端子間の配線長が増大し、このことによって信号伝搬経路が長くなり信号処理速度の低下、さらには外界のノイズの影響を受けやすくなり電子機器の性能が著しく低下する。

3) 異種の半導体チップ(例えば、MOS型素子、バイポーラ素子、化合物素子等)を回路基板に搭載する際、の実装が個々に行われるため、異種の半導体チップの利点を生かした電子機器への搭載が非常に困難となり電子機器の高性能化の障害となるという問題点を有していた。

本発明はかかる点に鑑み、極めて簡易な構成でかつ、簡単な方法で半導体チップを回路基板に高密度で実装せしめ、小型・高機能・低コストな電子機器を提供することを目的とする。

課題を解決するための手段

-4-

本発明における実施例を図面を用いて詳しく説明する。第1図は本発明における半導体装置の構成図、第2図は本発明の半導体装置の製造方法を示した工程図である。aは第1の半導体チップ、bは第2の半導体チップ、11は接続電極、12はリード、13はバンプ、14は回路基板、15は配線電極である。第1図(A)は対向する2辺に接続電極11を有した構造の半導体チップa、b同士を互いに直交、積層させてフィルムキャリア実装方式で実装した一実施例である。同図(B)は同図(A)A-A'方向から見た断面構造図、同図(C)は同じく同図(A)をB-B'方向から見た断面構造図である。半導体チップa及び、半導体チップbは互いに直交した状態でそれぞれの接続電極11にリード12が接合され、回路基板13の配線電極14と接続されており、個々の半導体チップa、bの接続電極11へのリード12の接合は通常のフィルムテープに4辺に接続電極を有する構造の半導体チップと同様に個々の半導体チップa、bの接続電

極 11 と相対したリード 12 を設けたものを用いることが出来る。半導体チップ a, b の接続電極 11 とリード 12 との接合はバンプ 13 を介して一括に行われ、回路基板 14 の配線電極 15 と接続されている。

次に本発明の半導体装置の製造方法について第 2 図を用いて説明する。対向する 2 辺に接続電極を有する半導体チップ a, b を互いに直交した状態で重ね（第 2 図 - A）、接着樹脂等により（図示せず）直交させた状態で重ねて位置固定させる（第 2 図 - B）。

直交させた状態で重ねて位置固定した半導体チップ a, b の接続電極 11 とフィルムキャリア 16 のリード 12 とを互いに位置合わせを行う（第 2 図 - C）。第 2 図 (D) と第 2 図 (E) はそれぞれ半導体チップ a, b の接続電極 11 とフィルムキャリア 16 のリード 12 との位置合わせの状態を示したものである。半導体チップ a, b の接続電極 11 とフィルムキャリア 16 のリード 12 との位置合わせ後、加熱した加圧治具 17 を用いて半導体チップ a, b の接続電極

11 とフィルムキャリア 16 のリード 12 とを熱圧着で接合する（第 2 図 - F, G）。半導体チップ a, b の接続電極 11 とフィルムキャリア 16 のリード 12 の接合後、フィルムキャリア 16 よりリード部 12 を打ち抜きと同時に重ね合わせられた半導体チップの厚さの相違をなくすように個々の半導体チップ a, b から導出するリード 12 を所定の形状に成形し、回路基板 14 の配線電極 15 と位置合わせし、半田付等によって電気的な接続を行うものである（第 2 図 - H, I）。

発明の効果

以上説明したように、本発明によれば、対向する 2 辺に接続電極を有する半導体チップを互いに直交した状態で重ね合わせて積層し、フィルムキャリア実装方式によって実装することにより極めて高密度な実装が可能となり、異種の半導体チップ例えは、MOS 型半導体チップとバイポーラ型半導体チップを組み合わせた BYCMOS モジュールが極めて容易にかつ、低コストに実現出来、電子機器の性能を著しく向上することが可能とな

-7-

-8-

る。又、さらにはコンピュータ・メモリカード等情報機器に用いられるメモリモジュールにおいてメモリチップを本発明の方法によって実装することにより従来の方法と比較し 2 倍メモリチップが実装出来、小型・薄型かつ、大容量なメモリモジュールを実現可能となる。さらには積層化による一括接続により半導体チップ間の配線長が著しく短縮出来、信号伝搬効率が向上し信号処理速度の高速化、外界のノイズの影響に無関係な極めて高性能な電子機器を低コストで実現することができ、その実用的効果は極めて大きい。

4、図面の簡単な説明

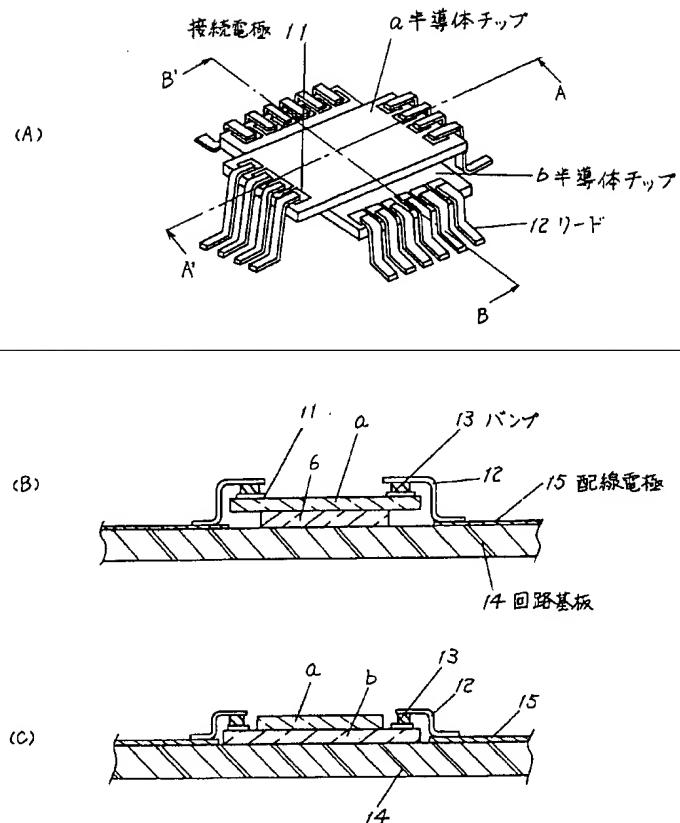
第 1 図 (A) ~ (C) は本発明の実施例における半導体装置の構成斜視及び断面図、第 2 図 (A) ~ (I) は本発明における半導体装置の製造工程図、第 3 図 (A) ~ (E) は従来における半導体装置の断面工程図である。

a … 第 1 の半導体チップ、b … 第 2 の半導体チップ、11 … 接続電極、12 … リード、13 … バンプ、14 … 回路基板、15 … 配線電極、16 …

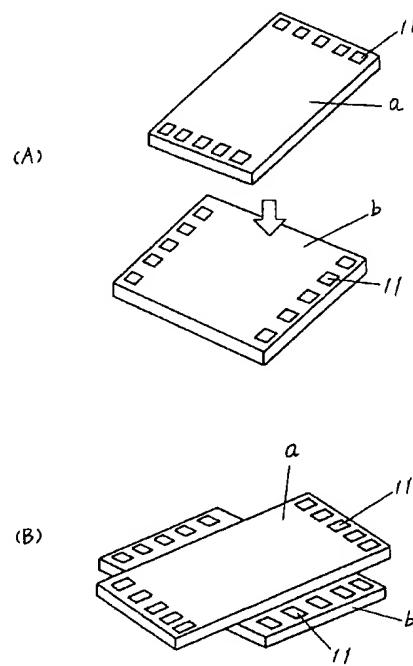
フィルムキャリア、17 … 加圧治具。

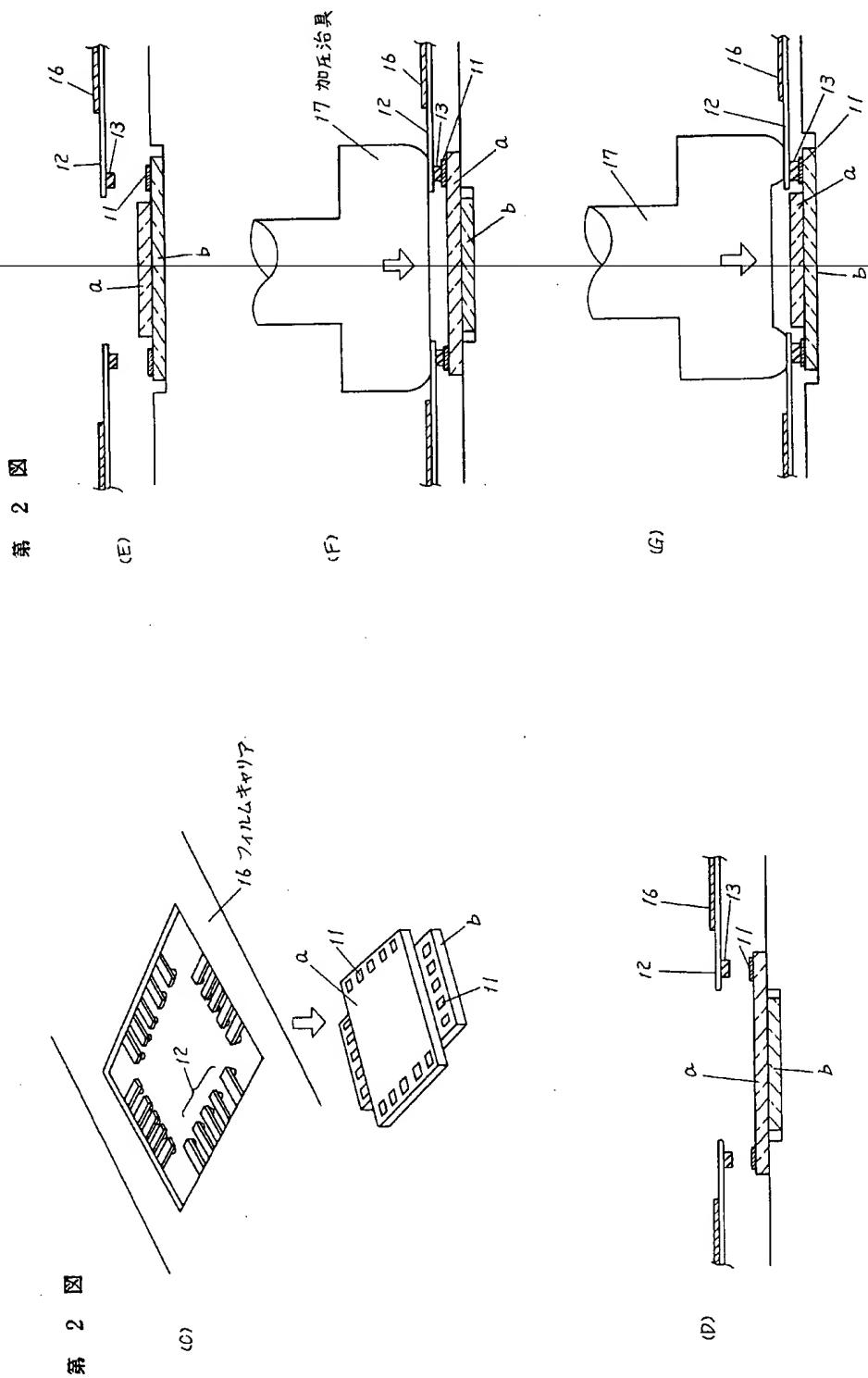
代理人の氏名 弁理士 萩野重孝 ほか 1 名

第 1 図

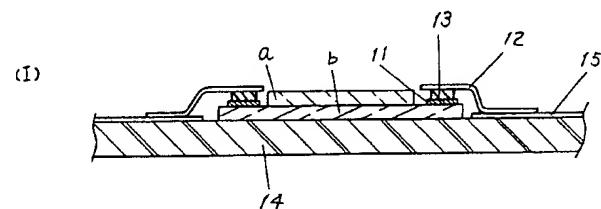
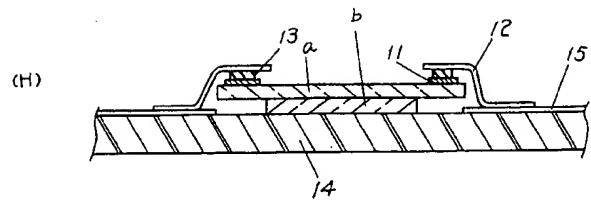


第 2 図

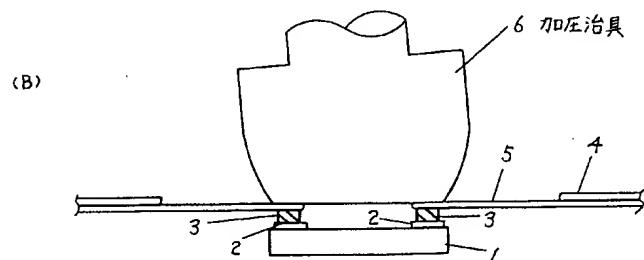
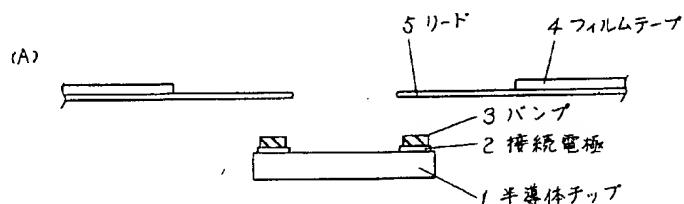




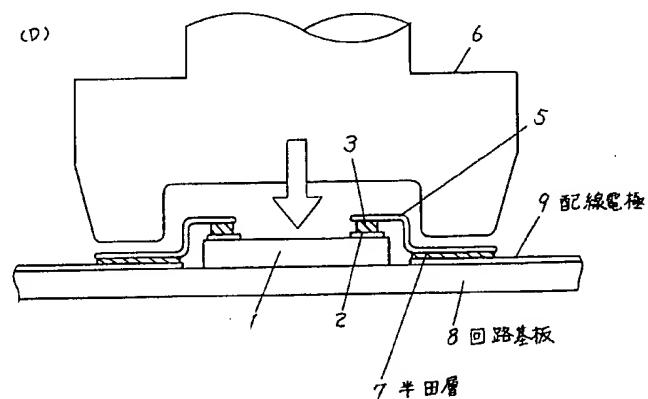
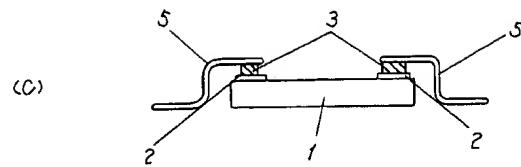
第 2 図



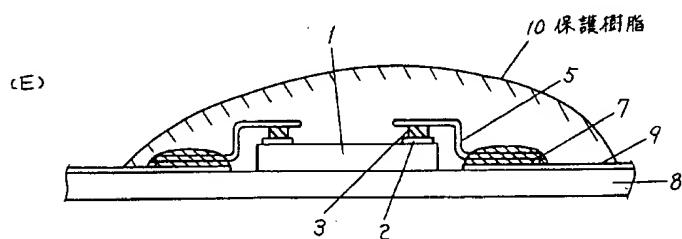
第 3 図



第 3 図



第 3 図



PAT-NO: JP404025166A
DOCUMENT-IDENTIFIER: JP 04025166 A
TITLE: SEMICONDUCTOR DEVICE AND MANUFACTURE
THEREOF
PUBN-DATE: January 28, 1992

INVENTOR- INFORMATION:

NAME
TAKEHASHI, NOBUTOSHI
HATADA, KENZO

ASSIGNEE- INFORMATION:

NAME	COUNTRY
MATSUSHITA ELECTRIC IND CO LTD	N/A

APPL-NO: JP02130665

APPL-DATE: May 21, 1990

INT-CL (IPC): H01L025/065, H01L025/07, H01L025/10,
H01L025/11, H01L025/18
, H05K001/18, H05K003/34

US-CL-CURRENT: 257/686

ABSTRACT:

PURPOSE: To enable a semiconductor chip to be densely mounted by a method wherein semiconductor chips provided with connection electrodes at their opposed sides are made to overlap crossing each other at a right angle and laminated, and the chips are mounted in a film carrier mounting method.

CONSTITUTION: Semiconductor chips a and b provided with connection

electrodes 11 at the opposed sides are made to overlap crossing each other at a right angle and fixed in position, the connection electrodes 11 of the semiconductor chips a and b are connected to leads 12 of carrier films, and the leads 12 are led out in four directions. Therefore, two or more semiconductor chips can be mounted at a time occupying the same area with a semiconductor chip provided with connection electrodes at its four sides, and semiconductor chips different from each other in type can be easily modularized. By this setup, an electronic equipment miniaturized and high in function can be easily obtained.

COPYRIGHT: (C)1992, JPO&Japio